

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

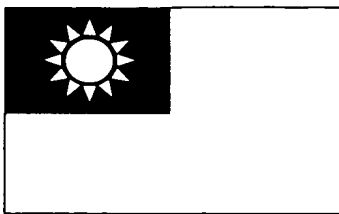
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



91000605

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 28 日
Application Date

申請案號：092107170
Application No.

申請人：台灣茂矽電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 9 日
Issue Date

發文字號：09221018790
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	DMOS之終止結構
	英 文	The termination structure of DMOS device
二、 發明人 (共4人)	姓 名 (中文)	1. 莊喬舜 2. 張建平
	姓 名 (英文)	1. Chuiao-Shun CHUANG 2. Chiw-Ping CHANG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 高市苓雅區林南街10巷11號6樓 2. 新竹市明湖路1050巷432號5樓
	住居所 (英文)	1. 6F, No.11, Lane 10, Lin Nan Street, Lin Ya District, Kaohsiung City, Taiwan, R.O.C. 2. 5F, No.432, Lane 1050, Min Hu Road, Hsinchu City, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 台灣茂矽電子股份有限公司
	名稱或 姓 名 (英文)	1. Mosel Vitelic Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區力行路19號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 19, Li Hsin Rd., Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 胡洪九
	代表人 (英文)	1. Hung-Chiu HU



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 曾茂松 4. 謝興煌
	姓名 (英文)	3. Mao-Song TSENG 4. Alex HSIEH
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中文)	3. 新竹市明湖路400巷68弄20號 4. 新竹縣關西鎮南和里一鄰6-9號
	住居所 (英文)	3. No. 20, Alley 68, Lane 400, Min Hu Road, Hsinchu City, Taiwan, R.O.C. 4. No. 6-9, Lin 1, Nan Ho Li, Kuan Hsi Chen, Hsinchu Hsien, Taiwan,
三、 申請人 (共1人)	名稱或 姓名 (中文)	R.O.C
	名稱或 姓名 (英文)	
	國籍 (中英文)	
	住居所 (營業所) (中文)	
	住居所 (營業所) (英文)	
	代表人 (中文)	
	代表人 (英文)	

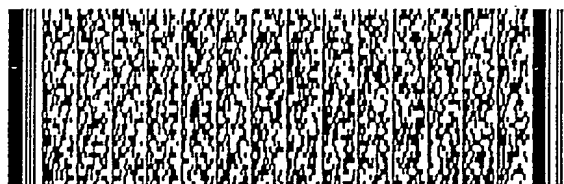


四、中文發明摘要 (發明名稱：DMOS之終止結構)

本發明提供一溝渠式 DMOS 元件以及其終止結構，其製作方法包括形成一覆蓋第一磊晶層與第二磊晶層之矽基板，經由微影及蝕刻製程使該矽基板由內而外依序形成一 DMOS 溝渠、一第二渠溝及一第一渠溝，該第一渠溝係該終止結構的主要部分，且該 DMOS 溝渠、該第一渠溝與該鄰接之磊晶層上表面係形成有一閘極氧化層；其中該 DMOS 溝渠係填入多晶矽閘極；同時一終止結構之多晶矽層形成於該第一渠溝內並有一延伸部覆蓋該鄰接第一渠溝之第二磊晶層上表面；隨後依序形成一隔離層與一金屬接觸層，該隔離層同時覆蓋該第二磊晶層、該多晶矽層與該閘極氧化層，並包含二接觸窗形成於該終止結構多晶矽層延伸部與該第二渠溝底部之該磊晶層上方；而該金屬接觸層係接觸該 DMOS 源極並延伸連接該二接觸窗。

六、英文發明摘要 (發明名稱：The termination structure of DMOS device)

A trenched DMOS device with a termination structure thereof is introduced. The fabrication method thereof comprises: forming a silicon substrate with a first epitaxial layer and a second epitaxial layer thereon; forming a DMOS trench, a second trench, and a first trench by using lithography and etching technique; forming a gate oxide layer over the whole surface; forming a



四、中文發明摘要 (發明名稱：DMOS之終止結構)

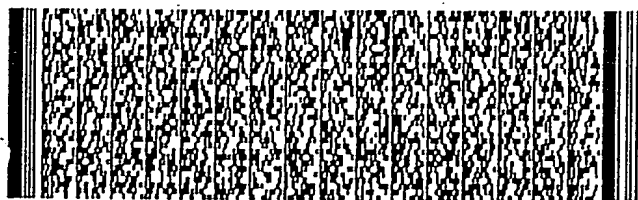
五、(一)、本案代表圖為：第四 F圖

(二)、本案代表圖之元件代表符號簡單說明：

矽基板 100C	第一磊晶層 100B
第二磊晶層 100A	第一渠溝 131
閘極氧化層 110	第一多晶矽層 141
第二多晶矽層 142	n+源極 162
p+摻雜區 161	隔離層 181
源極金屬接觸層 191	汲極金屬接觸層 192

六、英文發明摘要 (發明名稱：The termination structure of DMOS device)

polysilicon layer and patterning to form a polysilicon gate and a termination polysilicon layer with an extended portion covering the neighboring second epitaxial layer; forming an isolation layer with two contact windows located above the extended portion of the isolation layer and the bottom of the second trench; and forming a metal contact layer to contact the DMOS source and fill the two contact



四、中文發明摘要 (發明名稱：DMOS之終止結構)

六、英文發明摘要 (發明名稱：The termination structure of DMOS device)

windows.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

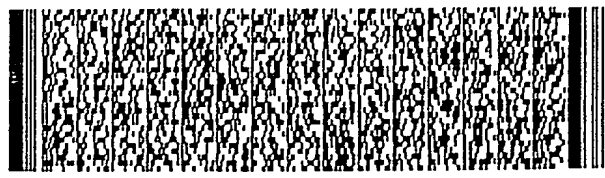
發明所屬之技術領域：

本發明係關於一種終止結構，尤其是一種提供渠溝式 DMOS 元件之終止結構。

先前技術：

DMOS (diffused MOS: 擴散型金氧半電晶體) 是一種很重要的功率電晶體元件 (Power Transistor)，並廣泛應用於電源供應器、電力控制裝置等大電壓之系統；而在眾多已發表之功率電晶體架構中，渠溝式功率電晶體 (Trenched Power Transistor) 是一種受到矚目的設計；並且已有報導指出渠溝式功率電晶體在效能上與積集度的改善上係優於平面式功率電晶體。

圖一 A 至圖一 F 係一典型渠溝式 DMOS 之製程；如圖一 A 所示，係在 n+ 型矽基板 1 上成長一 n 型磊晶層 10，以高溫氧化於該終止結構所在位置成長一初始氧化層 20，並利用該初始氧化層 20 為遮罩植入一 p 型雜質以產生一 p 型主動區域 12；如圖一 B 所示，係於該 p 型主動區域 12 內蝕刻出複數個 DMOS 渠溝 13，該 DMOS 渠溝 13 係穿過該 p 型主動區域 12 並伸入下方之 n 型磊晶層 10，隨後整體氧化於該主動區域 12 生成一閘極氧化層 21，並使該初始氧化層 20 成長為一場氧化層 22；如圖一 C 所示，係以化學氣相沉積整體多晶矽層，並蝕刻去除 DMOS 渠溝 13 以外位於磊晶層 10 表面上方之多晶矽層部分，以形成位於

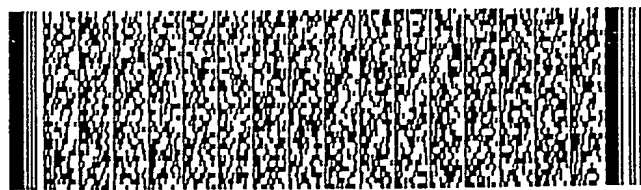


五、發明說明 (2)

該 DMOS 渠溝 13 內之多晶矽閘極 30；如圖一 D 所示，微影定義該源極 40 所在位置並形成光阻 40PR 以為罩幕，於該主動區域 2 表面植入 n 型雜質以形成一包圍該 DMOS 渠溝 13 之 n+源極 40；如圖一 E 所示，整體成長一隔離層 50，並於該 n+源極 40 上方蝕刻出複數個主動區接觸窗 51 並植入該 p 型雜質以形成一包圍該 n+源極 40 之 p+摻雜區 41；如圖一 F 所示，於該隔離層 50 上方整體沉積一源極金屬接觸層 60，該源極金屬接觸層 60 係藉由該主動區接觸窗 51 與該 p 型主動區域 12 連接且該源極金屬接觸層 60 於該場氧化層 22 上方係開有一窗口使該隔離層 50 裸露；此外，該 n 型矽基板 1 背面係覆蓋有一汲極金屬接觸層 61；該汲極金屬接觸層 61 與該源極金屬接觸層 60 間可外加一驅動電壓，同時於該多晶矽閘極 30 外加一控制電壓可以決定該 DMOS 之源極與汲極是否導通。

雖然渠溝式功率電晶體係優於平面式功率電晶體，但是由於渠溝式功率電晶體的結構較之平面式功率電晶體複雜，往往必須使用更多次的微影製程，因而增加該電晶體製程的複雜度；因此，如何減少微影製程之次數，也就成了製程改良上的一個方向。

此外，由於功率電晶體往往必須承受高電壓，因此必須具備一終止結構 (Termination Structure) 以防止電崩潰的提早發生；傳統之終止結構有如下幾種：區域氧化法 (local oxidation of silicon; LOCOS)、電場平板 (field plate) 與護環 (guard ring) 等，其中，又以區域氧化法之製程最為簡單；如圖一 F 所示，在圖中右側係有一場氧化層 22



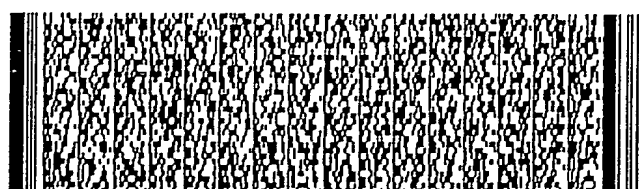
五、發明說明 (3)

(Field Oxide; FOX) 終止結構，該場氧化層 22 之厚度可數百奈米；但是，為了形成該場氧化層 22，在製程中需要一特別之主動區域光罩；如圖一 A 所示，藉由該主動區域光罩以形成該初始氧化層 20，隨後施以熱氧化使該初始氧化層 20 成長為場氧化層 22。

此外，配合該場氧化層 22 做為終止結構的主體，如圖一 A 所示，形成該初始氧化層 20 後，利用該初始氧化層 20 做為罩幕直接植入 p 型雜質以形成該 p 型主動區域 12；因此該 p 型主動區域 12 內的摻雜濃度無法達到均勻，而將影響該 p 型主動區域 12 邊緣的電性，造成元件設計上的困難；而且該 p 型主動區域 12 之邊緣將形成有圓柱型之 pn 接合面造成電場密集，因而導致電崩潰提早發生。

由於區域氧化法之製程特性，該場氧化層 22 係具有一鳥嘴 23 (bird beak) 特徵伸入鄰近之主動區域 12，不僅對於電晶體元件尺寸之精確度產生影響，同時亦在鄰近區域造成電場擁擠 (electric field crowding) 現象，導致該處漏電流上升而惡化該主動區域 12 之性能。

為了改善上述的問題，已經有相關的設計提出，如圖二所示係一習知之 DMOS 元件與其終止結構示意圖，請參考美國專利號碼 US6309929；該發明係利用磊晶層形成該 DMOS 元件之主動區域 12，同時，利用一第一渠溝 14 做為該終止結構之主體，隨後全面依序形成一閘極氧化層 21 以及一多晶矽層 (未圖示)，該多晶矽層係回填該第一渠溝 14 與複數個 DMOS 渠溝 13，不利用微影技術直接回蝕去除多餘之該多晶矽層，



五、發明說明 (4)

以形成該複數個多晶矽閘極 30 與該第一渠溝 14 中之多晶矽側壁 33；隨後全面去除裸露之該閘極氧化層 21 並重新沉積一介電氧化層 53，亦不利用微影技術直接回蝕去除多餘之該介電氧化層 53 使該介電氧化層 53 僅覆蓋於上述多晶矽閘極 30 與該多晶矽側壁 33 之表面；全面沉積一 TEOS 氧化層 54，並對該 TEOS 氧化層 54 微影蝕刻以定義該源極 40 區域；隨後全面沉積一源極金屬接觸層 60，並對該源極金屬接觸層 60 微影蝕刻使該源極金屬接觸層 60 僅覆蓋該主動區域 12 並往該終止結構延伸一定距離。

上述發明同時亦減少一施加於該多晶矽層之微影製程與一用以產生該場氧化層 22 之微影製程，然而，由於該製程之特性，該介電氧化層 53 之厚度受到限制，因而影響對該多晶矽閘極與該源極金屬接觸層之隔離效果。

此外，一般功率電晶體之設計中，為避免靜電放電的影響，在晶片設計中往往必須引入一靜電釋放元件 (Electrostatic Discharge; ESD) 16 之保護措施，如圖三所示係一典型之 ESD 示意圖，為了形成一 ESD 多晶矽層 34，在製程中必須具備一多晶矽微影製程以定義該 ESD 多晶矽層 34 之位置。

本發明之目的係提供一種新的終止結構取代傳統之場氧化層，該終止結構不僅可以配合該功率電晶體之製程一併形成，亦可避免該場氧化層鳥嘴現象所導致之電場擁擠，並且改善離子植入法或熱擴散法形成該 p 型主動區域所衍生的問題。



五、發明說明 (5)

發明內容：

本發明係揭露一種提供溝渠 DMOS 元件之終止結構與其製作方法，該終止結構係包含有一矽基板，由下而上依序覆蓋一第一磊晶層及一第二磊晶層；於該磊晶層中由內而外依序形成一 DMOS 溝渠、一第二渠溝及一第一渠溝，其中該第一渠溝底部係位於該第一磊晶層內，以做為該終止結構的主要部分，該第二渠溝底部係位於該第二磊晶層內，並毗連一第二型導電性雜質重摻雜區。

一閘極氧化層係襯裡於該 DMOS 溝渠與該第一渠溝，並延伸至相鄰接之該第二磊晶層表面；且一第一多晶矽層係填滿該 DMOS 溝渠，一第二多晶矽層係形成於該第一渠溝襯裡之閘極氧化層上，並延伸覆蓋該第二磊晶層上表面之部分該閘極氧化層上，其中位於該第一渠溝底部之第二多晶矽層係形成有一窗口以隔離成二不連續段。

一隔離層係形成於該多晶矽層上，同時亦形成於該磊晶層上方及該第一渠溝底部之該閘極氧化層上；一源極金屬接觸層係形成於該隔離層上；該隔離層包含有一第一接觸窗以使該第二磊晶層上表面上方之該第二多晶矽層與該源極金屬接觸層連接，以及一第二接觸窗以使該第二磊晶層與該源極金屬接觸層連接。

習知技術係利用場氧化層做為終止結構，為了形成該場氧化層，在製程中必須有一主動區域微影製程特別用於定義該場氧化層的區域；此外，習知技術中係利用離子植入法定

五、發明說明 (6)

義該主動區域，惟，由於離子植入法之限制，該主動區域之摻雜濃度無法完全一致。

與習知技術相比較，本發明利用一隔離渠溝取代該場氧化層，該隔離渠溝可以於蝕刻閘極渠溝之製程同時產生，因此可以省略該主動區域微影製程；同時，本發明係利用一磊晶層形成該主動區域，可以獲致均勻一致的濃度分佈。

實施方式：

請參照圖四 A至圖四 F，係本發明渠溝式 DMOS元件與該終止結構之製作方法。

如圖四 A所示，於該 n+矽基板 100C 表面由下而上依序成長一第一磊晶層 100B 與一第二磊晶層 100A，該第一磊晶層 100B 係摻雜一 n 型雜質，該第二磊晶層 100A 係摻雜一 p 型雜質，因此該第一磊晶層 100B 與該第二磊晶層 100A 間係形成一 pn 接面。

如圖四 B 所示，施以微影及蝕刻技術於該第一磊晶層 100B 與該第二磊晶層 100A 中由內而外依序形成複數個 DMOS 渠溝 130 與一第一渠溝 131，該 DMOS 渠溝的寬度可以介於 0.15 微米至 1.5 微米之間，而該第一渠溝的寬度可以介於 5 微米至 50 微米之間；在較佳實施例之情況下，所採用之該 DMOS 渠溝的寬度介於 0.4 微米至 0.6 微米，而該第一渠溝的寬度介於 15 微米至 25 微米。

隨後以高溫氧化整體成長一閘極氧化層 110，該閘極氧



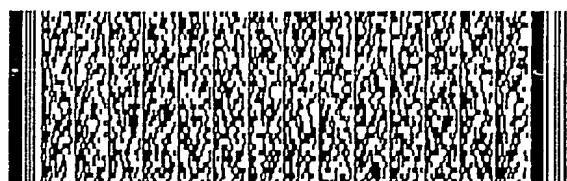
五、發明說明 (7)

化層的厚度可以介於 15 奈米至 100 奈米，而在較佳實施例之情況下，所採用之該閘極氧化層厚度為 30 奈米至 70 奈米；該第一渠溝 131 之底部係位於該第一磊晶層 100B 中以做為該終止結構之主要部分，且該複數個 DMOS 渠溝 130 之底部亦係位於該第一磊晶層 100B 中。

如圖四 C 所示，整體沉積一多晶矽層，且該多晶矽層係填滿該複數個 DMOS 渠溝 130 並覆蓋該第一渠溝 131 內之閘極氧化層 110 表面，隨後施以微影及蝕刻技術，以形成複數個第一多晶矽層 141 與一第二多晶矽層 142，該第一多晶矽層 141 係形成該多晶矽閘極，並與該第二磊晶層 100A、該閘極氧化層 110 形成一 MOS 結構；該第二多晶矽層係形成於該第一渠溝 131 裡之該閘極氧化層 110 上，並延伸覆蓋該第二磊晶層 100A 上表面之部分該閘極氧化層 110 上，且該第二多晶矽層 142 位於該第一渠溝 131 底部之部分係形成有一窗口以隔離成二不連續段。

如圖四 D 所示，施以微影技術於相鄰二 DMOS 渠溝 130 閘極間之第二磊晶層 100A 表面，植入該 n 型雜質以形成 n+ 摻雜區 160。

如圖四 E 所示，整體形成一隔離層 181，隨後施以微影及二階段非等向性蝕刻技術，第一階段蝕刻係於 n+ 摻雜區 160 上方之該隔離層 181 形成複數個主動區接觸窗 170，並於該 DMOS 渠溝 130 與該第一渠溝 131 間之該隔離層 181 形成一第二渠溝 171，同時於該第二磊晶層 100A 上表面上方之該隔離層 181 蝕刻出一第一接觸窗 180 以使該第二多晶矽層 142 裸露。



五、發明說明 (8)

隨後直接以該隔離層為罩幕進行第二階段蝕刻，去除該裸露之 n+摻雜區 160 以形成該 n+源極 162，緊接著，全面植入 p 型雜質於該主動區域接觸窗 170 底部與該第二渠溝 171 底部以形成 p+摻雜區。

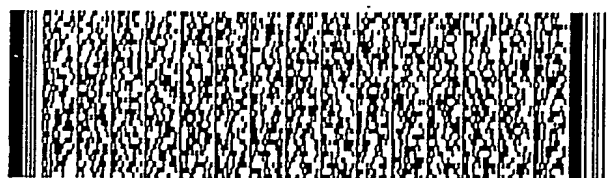
該 n 型 DMOS 源極 162、該 p 型第二磊晶層 100A 與該 n 型第一磊晶層 100B 間形成一 npn 雙載子電晶體架構，搭配由該第二磊晶層 100A、該閘極氧化層 110 與該第一多晶矽層 141 間形成之 DMOS 閘極，可以形成一完整之 DMOS 電晶體。

最後，如圖四 F 所示，整體沉積一金屬層，並施以微影及蝕刻技術去除該第一渠溝上方之該金屬層以形成一源極金屬接觸層 191；該源極金屬接觸層 191 係經由該主動區接觸窗 170 與該 n 型源極 162 連接並經由該主動區接觸窗 170 底部之 p 型重摻雜區 161 與該第二磊晶層 100A 連接，且該源極金屬接觸層 191 亦經由該第二渠溝 171 底部之 p 型重摻雜區 161 與該第二磊晶層 100A 連接，同時該源極金屬接觸層 191 亦經由該第一接觸窗 180 與該第二多晶矽層 142 連接。

承上所述，該 n 型源極 162、p 型第二磊晶層 100A 與該源極金屬接觸層 191 之電位相等，藉由在該矽基板 100C 背面形成一汲極金屬接觸層 192 並施以驅動電壓，同時由該第一多晶矽層 141 施以控制電壓，可以控制該 DMOS 元件作用。

上述之隔離層可以採用矽酸玻璃層，而上述之源極金屬接觸層可以由下而上依序為鈦、氮化鈦與鋁矽銅合金所構成。

上述實施例係建立於使用 n+矽基板為底材之條件下，當



五、發明說明 (9)

該底材更改為 p+矽基板時，該實施例之 n 型摻雜與 p 型摻雜必須互相取代。

如圖五所示係本發明 DMOS 元件與終止結構之等電位線模擬圖，由於該第二多晶矽層 142、該 p 型第二磊晶層 100A 與其間之閘極氧化層 110 電位相等，因此，可以避免該第二磊晶層 100A 鄰近該第一渠溝 131 處有電場梯度 (voltage gradient) 產生以防止漏電流產生。該第二磊晶層 100A 鄰近第一渠溝 131 處之等電位線彎曲以防止電場密集。

如圖六所示係本發明 DMOS 元件與終止結構之電場密度示意圖，該高電場密度處係位於該第一渠溝 131 底部之該第一磊晶層 100B 中並遠離該 DMOS 元件，因此可以避免電崩潰提早發生，同時，由於該第二多晶矽層 142 係於該第一渠溝 131 底部開有一窗口以產生通道終止 (channel stop) 之效果，可以減少漏電流之產生。

比較本發明與如圖一習知技藝中利用場氧化層 22 以為終止結構，可以發現，本發明省略該主動區域光罩及相關之微影製程；同時，利用第一渠溝 131 取代場氧化層 22，因而可以避免鳥嘴 23 現象所導致之電場密集；在習知技藝中，為配合該場氧化層 22 做為終止結構，該主動區域 12 係利用離子植入或熱擴散形成，因而導致主動區域 12 邊緣產生圓柱狀 pn 接合面，造成電場密集；然而，本發明利用第二磊晶層 100A 形成該主動區域 12，避免該圓柱狀 pn 接合面的產生，同時提供一均勻一致之主動區域 12，以提供較佳之電性與較理想之電路設計條件；此外，利用第一渠溝 131 取代該場氧化層 22，



五、發明說明 (10)

該終止結構由平面延伸至立體，不僅減少該終止結構所需面積，同時亦降低漏電流的產生，提高該電晶體之效率。

比較本發明與如圖二習知之 DMOS 元件及其終止結構可以發現，該介電氧化層 53 與該 TEOS 氧化層 54 相當於本發明之隔離層 181；該介電氧化層 53 係沉積氧化層後不加微影直接蝕刻形成，然而該 TEOS 氧化層 54 則在沉積後需微影定義並蝕刻以形成；相比之下，本發明之隔離層 181 雖然亦需微影蝕刻步驟，但僅需一次沉積即可；此外，該習知之 DMOS 元件及其終止結構係不加微影技術而直接蝕刻該多晶矽層 32 與該介電氧化層 53，因此，為徹底去除不需要之多晶矽層 32 與介電氧化層 53，該蝕刻製程之實施較為困難，而且該終止結構之尺寸亦受到限制；相比之下，本發明其中隔離層 181 之蝕刻並沒有上述之限制，而且該用以隔離閘極與該源極金屬接觸層 191 之隔離保護亦較為充足。

另外，該圖二中所示之習知 DMOS 元件及其終止結構中，多晶矽側壁 33 係與閘極相連，然而如圖四 F 所示，本發明該相對應之第二多晶矽層 142 係與源極相連，因此，本發明之設計中該第二多晶矽層 142、該 p 型第二磊晶層 100A 與該其間之閘極氧化層 110 電位相等，因而可以避免該第二磊晶層 100A 鄰近第一渠溝 131 處之電場密集。

如圖七所示係本發明又一實施例，與如圖四 E 相較，可以發現本實施例係採用單一階段之蝕刻技術，該主動區接觸窗 170 與該第二渠溝 171 係利用該第二磊晶層 100A 為蝕刻終止，因此，隨後 p 型雜質之植入量必須足以中和該既存之 n+



五、發明說明 (11)

型摻雜區 160 並形成一 p+摻雜區 161。

以上所述係利用較佳實施例詳細說明本發明，而非限制本發明之範圍，而且熟知此類技藝人士皆能明瞭，適當而作些微的改變及調整，仍將不失本發明之要義所在，亦不脫離本發明之精神和範圍。



圖式簡單說明

圖式簡單說明：

圖一 A至圖一 F為典型之渠溝式 DMOS 以及其終止結構之製程示意圖。

圖二為一習知之渠溝式 DMOS 以及其終止結構示意圖。

圖三為一典型之 ESD 設計示意圖。

圖四 A至圖四 F為本發明之渠溝式 DMOS 以及其終止結構之製程示意圖。

圖五為本發明之渠溝式 DMOS 以及其終止結構之等電位線模擬圖。

圖六為本發明之渠溝式 DMOS 以及其終止結構之電場強度模擬圖。

圖七為本發明之渠溝式 DMOS 以及其終止結構又一實施例示意圖。

圖號說明：

矽基板 1, 100C

磊晶層 10, 10A

第一磊晶層 100B

第二磊晶層 100A

終止區域 11

主動區域 12

DMOS 渠溝 13, 130

第一渠溝 14, 131

pn 接面之空乏區邊界 15, 15'

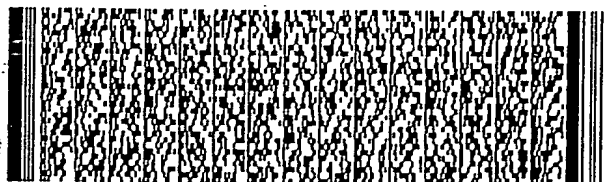
靜電釋放元件 16

初始氧化層 20

閘極氧化層 21, 110

場氧化層 22

鳥嘴 23



圖式簡單說明

多晶矽閘極 30

多晶矽層 32

第一多晶矽層 141

ESD多晶矽層 34

DMOS源極 40, 162

n+摻雜區 160

隔離層 50, 181

TEOS氧化層 54

第一接觸窗 52, 180

汲極金屬接觸層 61, 192

終止結構多晶矽層 31

多晶矽側壁 33

第二多晶矽層 142

源極光阻 40PR

重摻雜接觸區 41, 161

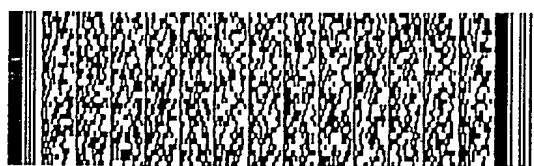
第二渠溝 171

介電氧化層 53

主動區接觸窗 51, 170

源極金屬接觸層 60, 191

ESD金屬層 62



六、申請專利範圍

申請專利範圍：

1. 一種提供溝渠 DMOS 元件之終止結構，至少包含：

一矽基板，由下而上依序覆蓋有一第一磊晶層及一第二磊晶層，該矽基板係重摻雜一第一型導電性雜質，該第一磊晶層係摻雜該第一型導電性雜質，該第二磊晶層係摻雜一第二型導電性雜質；

一 DMOS 溝渠；

一第二渠溝；

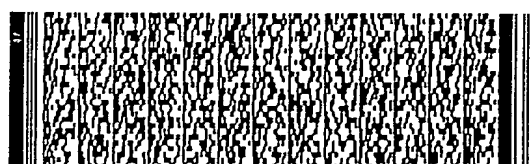
一第一渠溝，該 DMOS 溝渠、該第二渠溝及該第一渠溝係形成於該第二磊晶層及該第一磊晶層中，並由內而外依序排列至接近該矽基板邊緣，其中該第一渠溝底部係位於該第一磊晶層內，以做為該終止結構的主要部分，該第二渠溝底部係位於該第二磊晶層內，並毗連一第二型導電性雜質重摻雜區；

一閘極氧化層係襯裡於該 DMOS 溝渠並延伸至與該 DMOS 溝渠鄰接之該第二磊晶層表面及襯裡於該第一渠溝並延伸至與該第一渠溝鄰接之該第二磊晶層表面；

一第一多晶矽層係填滿該 DMOS 溝渠，以形成該 DMOS 溝渠閘極；

一第二多晶矽層係形成於該第一渠溝襯裡之閘極氧化層上，並延伸覆蓋該第二磊晶層上表面之部分該閘極氧化層上，其中位於該第一渠溝底部之第二多晶矽層係形成有一窗口以隔離成二不連續段；

一隔離層係形成於該 DMOS 溝渠閘極及該第二多晶矽層



六、申請專利範圍

上，同時亦形成於該第二磊晶層上方及該第一渠溝底部之閘極氧化層上，該隔離層並包含一第一接觸窗以裸露位於該第二磊晶層上表面上方之該第二多晶矽層、及一第二接觸窗以裸露該第二渠溝底部之該第二型導電性雜質重摻雜區；以及

一源極金屬接觸層係形成於該隔離層上，該源極金屬接觸層係接觸該DMOS源極並延伸連接該第二接觸窗及該第一接觸窗，而中止於該第一接觸窗。

2.如申請專利範圍第1項之DMOS終止結構，其中之矽基板背面係覆蓋有一汲極金屬接觸層用以提供汲極電壓。

3.如申請專利範圍第1項之DMOS終止結構，其中之源極金屬接觸層係接地。

4.如申請專利範圍第1項之DMOS終止結構，其中之隔離層係矽酸玻璃層。

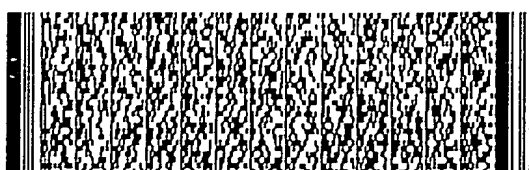
5.如申請專利範圍第1項之DMOS終止結構，其中之源極金屬接觸層係由下而上依序為鈦、氮化鈦與鋁矽銅合金所構成。

6.如申請專利範圍第1項之DMOS終止結構，其中之第一型導電性雜質係n型雜質，且第二型導電性雜質係p型雜質。

7.如申請專利範圍第1項之DMOS終止結構，其中之第一型導電性雜質係p型雜質，且第二型導電性雜質係n型雜質。

8.一種同時形成DMOS元件及其終止結構的製作方法，該製作方法至少包括下列步驟：

成長一摻雜有一第一型導電性雜質之第一磊晶層於一重摻雜該第一型導電性雜質之矽基板表面；



六、申請專利範圍

成長一摻雜有一第二型導電性雜質之第二磊晶層於該第一磊晶層表面；

施以微影及蝕刻技術，用以形成複數個 DMOS 渠溝與一第一渠溝於該第一磊晶層與該第二磊晶層中，且該複數個 DMOS 渠溝與該第一渠溝之底部係位於該第一磊晶層中；

以高溫氧化整體成長一閘極氧化層於所有表面；

以化學氣相沉積形成一多晶矽層於所有表面，且該多晶矽層係填滿該 DMOS 渠溝；

對該多晶矽層施以微影及蝕刻技術，用以形成複數個多晶矽閘極與一終止結構多晶矽層，其中該終止結構多晶矽層係包括一窗口於該第一渠溝底部以及一延伸部覆蓋該鄰近第一渠溝之第二磊晶層上表面；

以微影技術形成光阻圖案用以定義該 DMOS 第一型導電性雜質摻雜區並施以離子佈植；

形成一隔離層於所有表面；

施以微影及蝕刻技術，於該第一型導電性雜質摻雜區上方蝕刻出複數個主動區域接觸窗，並於該第一渠溝與該鄰近 DMOS 渠溝間之第二磊晶層上方蝕刻出一第二接觸窗，同時於該終止結構多晶矽層延伸部上方蝕刻出一第一接觸窗；

以該隔離層為罩幕，全面植入該第二型導電性雜質；

全面沉積一源極金屬接觸層，且該源極金屬接觸層係填滿該複數個主動區域接觸窗、第一接觸窗與該第二接觸窗；

以微影蝕刻去除該終止結構上方之源極金屬接觸層；

施以蝕刻技術，以使該重摻雜該第一型導電性雜質之矽



六、申請專利範圍

基板背面裸露；以及

全面沉積一汲極金屬接觸層於該矽基板背面。

9.如申請專利範圍第8項之方法，其中之DMOS渠溝寬度約為0.15微米~1.5微米。

10.如申請專利範圍第8項之方法，其中之第一渠溝寬度約為5微米~50微米。

11.如申請專利範圍第8項之方法，其中之閘極氧化層厚度約為15奈米~100奈米。

12.如申請專利範圍第8項之方法，形成該隔離層後所施以之微影及非等向性蝕刻技術中，該非等向性蝕刻技術係一二階段非等向性蝕刻技術，包括：

蝕刻去除該隔離層與該閘極氧化層；以及

蝕刻去除該裸露之終止結構多晶矽層、該裸露之第一型導電性雜質摻雜區與位於其間之該閘極氧化層。

13.如申請專利範圍第8項之方法，形成該隔離層後所施以之微影及非等向性蝕刻技術中，該蝕刻係用以去除該隔離層與該閘極氧化層，並以該終止結構多晶矽層與該第一型導電性摻雜區為蝕刻終止層。

14.如申請專利範圍第13項之方法，蝕刻去除該隔離層與該閘極多晶矽層後，植入之第二型導電性雜質係足以使該裸露之第一型導電性摻雜區電性轉變為第二型導電性。

15.如申請專利範圍第8項之方法，其中以化學氣相沉積形成之隔離層係矽酸玻璃層。

16.如申請專利範圍第8項之方法，其中之第一接觸窗係位於



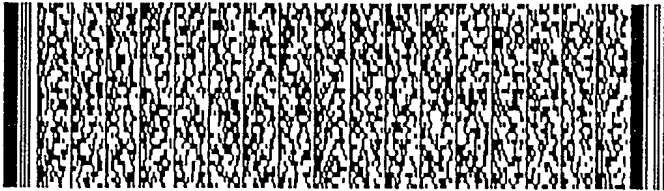
六、申請專利範圍

該第一渠溝與相鄰之該 DMOS 渠溝間，並以該多晶矽層為蝕刻終止層。

17. 如申請專利範圍第 8 項之方法，其中之源極金屬接觸層係以該第一接觸窗為其沉積邊緣。



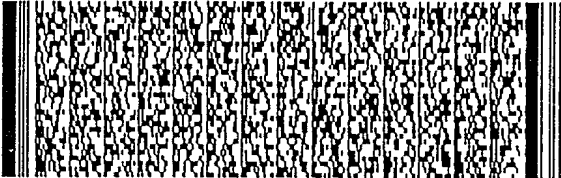
第 1/24 頁



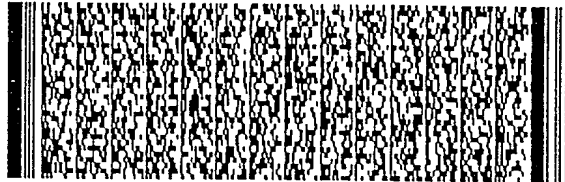
第 2/24 頁



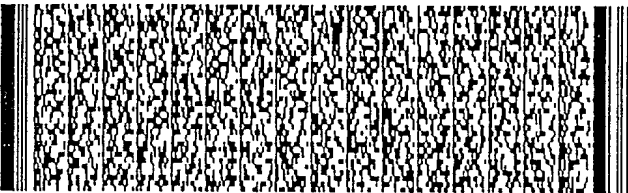
第 3/24 頁



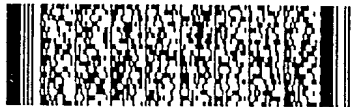
第 3/24 頁



第 4/24 頁



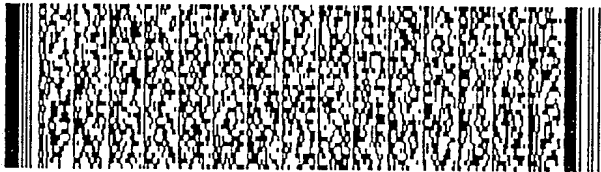
第 5/24 頁



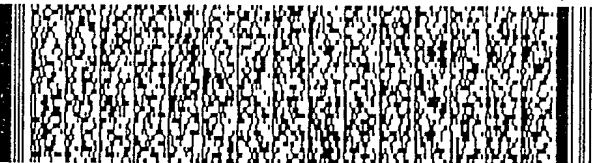
第 6/24 頁



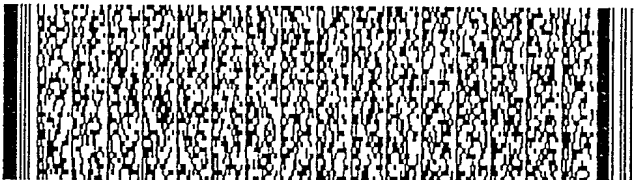
第 7/24 頁



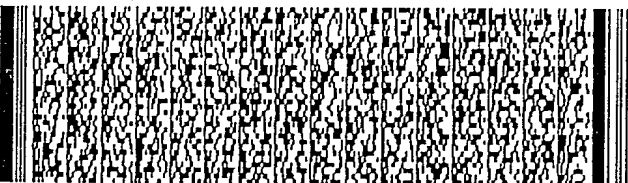
第 7/24 頁



第 8/24 頁



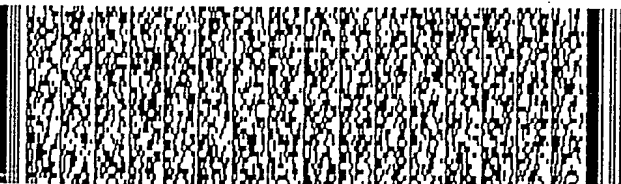
第 8/24 頁



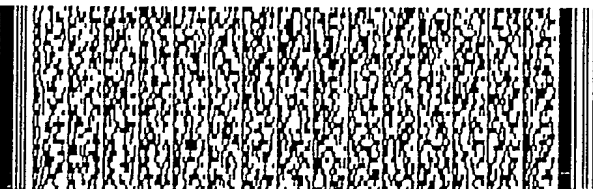
第 9/24 頁



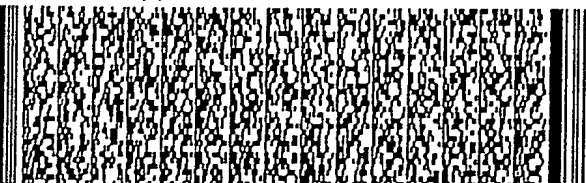
第 9/24 頁



第 10/24 頁



第 10/24 頁



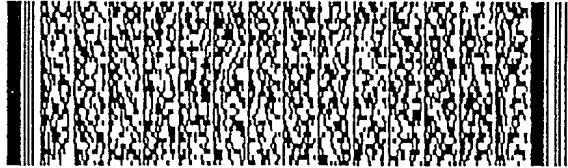
第 11/24 頁



第 11/24 頁



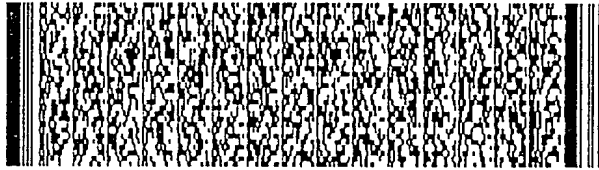
第 12/24 頁



第 13/24 頁



第 14/24 頁



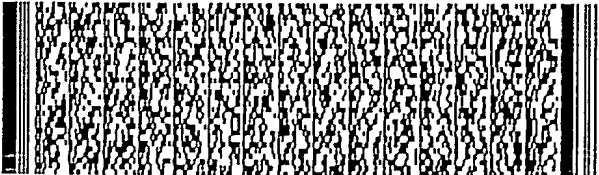
第 15/24 頁



第 16/24 頁



第 18/24 頁



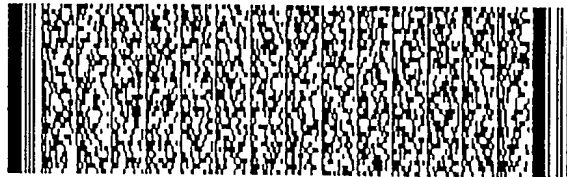
第 20/24 頁



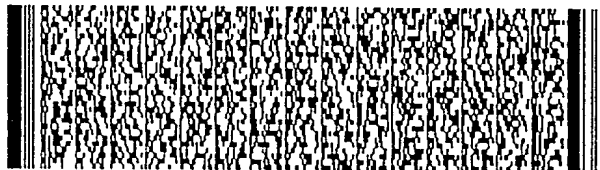
第 12/24 頁



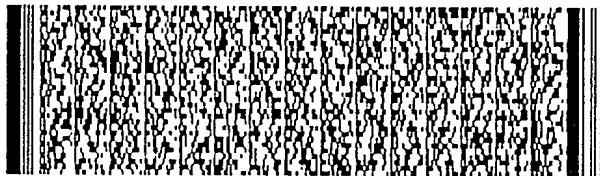
第 13/24 頁



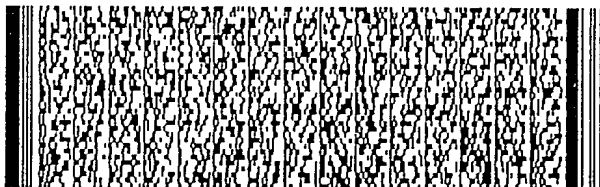
第 14/24 頁



第 15/24 頁



第 16/24 頁



第 17/24 頁



第 19/24 頁



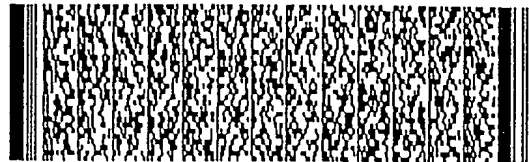
第 20/24 頁



第 21/24 頁



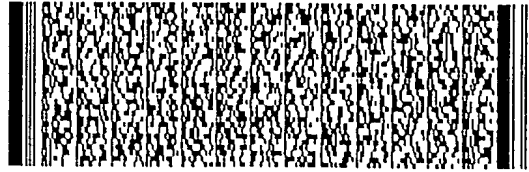
第 21/24 頁



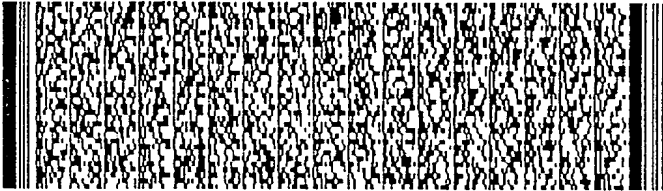
第 22/24 頁



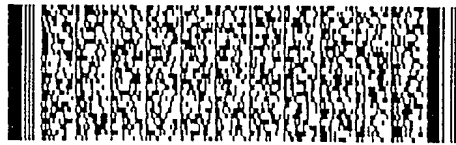
第 22/24 頁



第 23/24 頁



第 24/24 頁



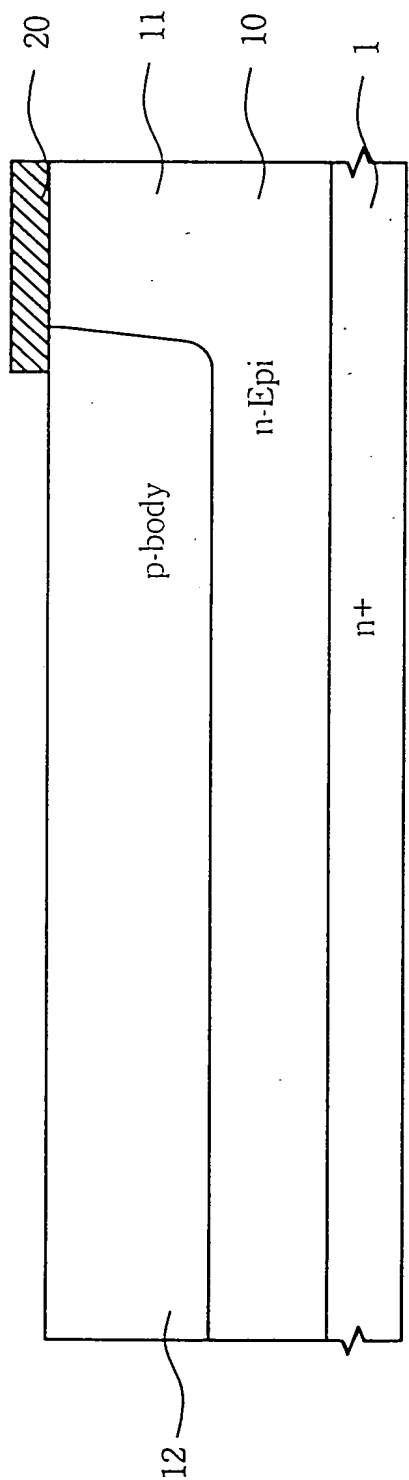


圖 一 A

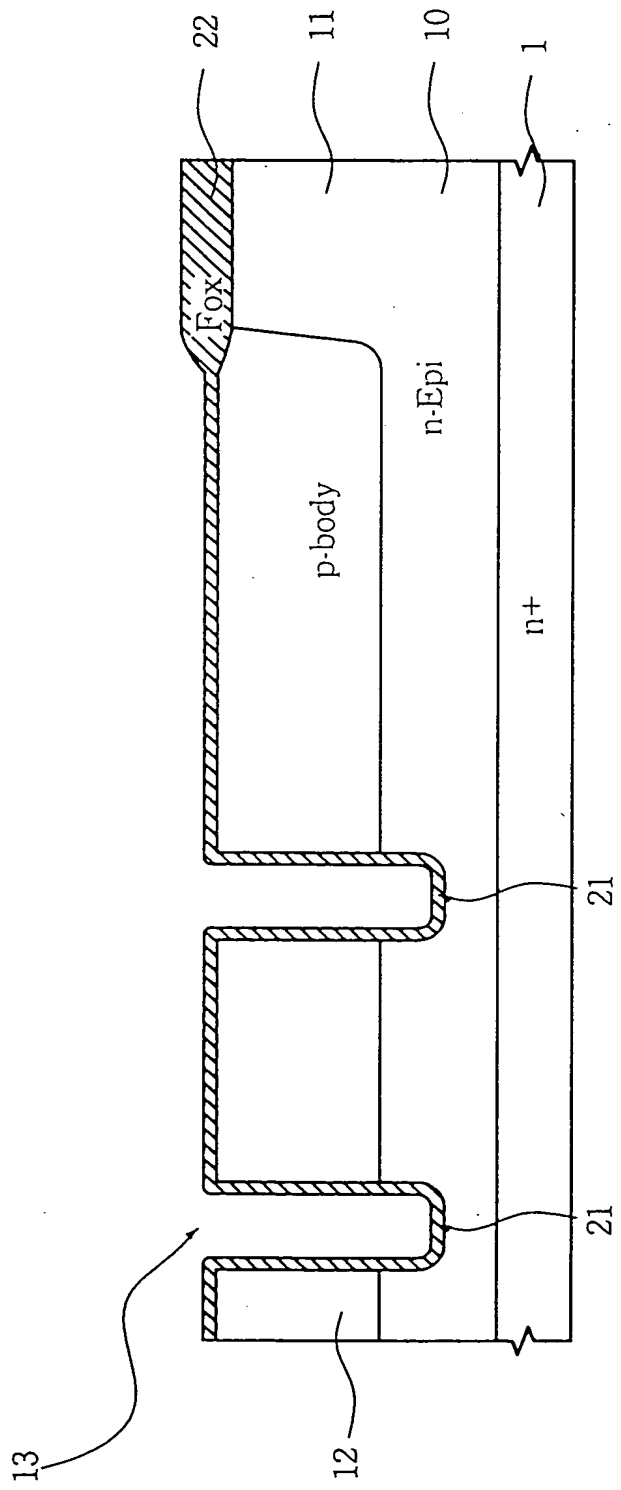


圖 一 B

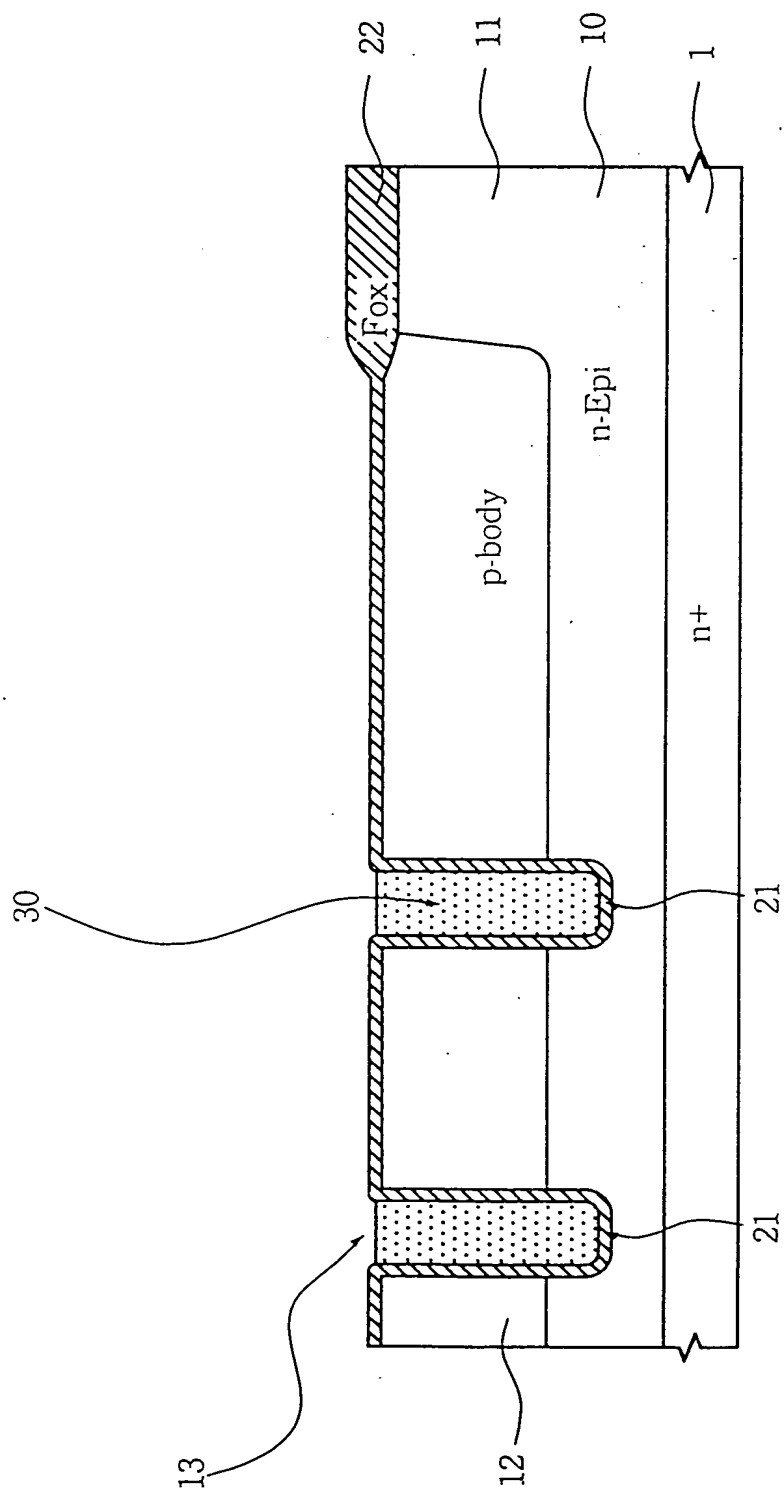


圖 - C

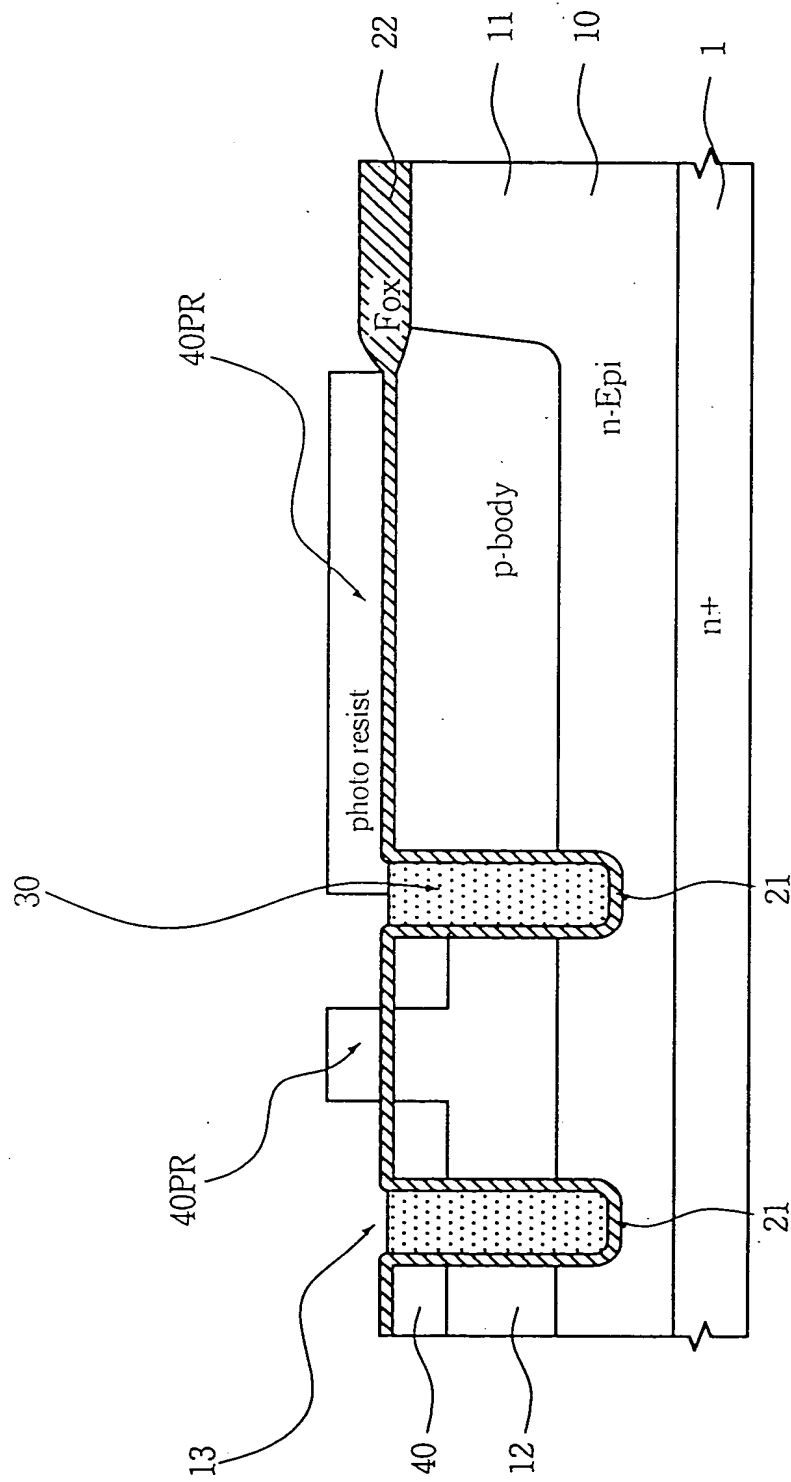


圖 一 D

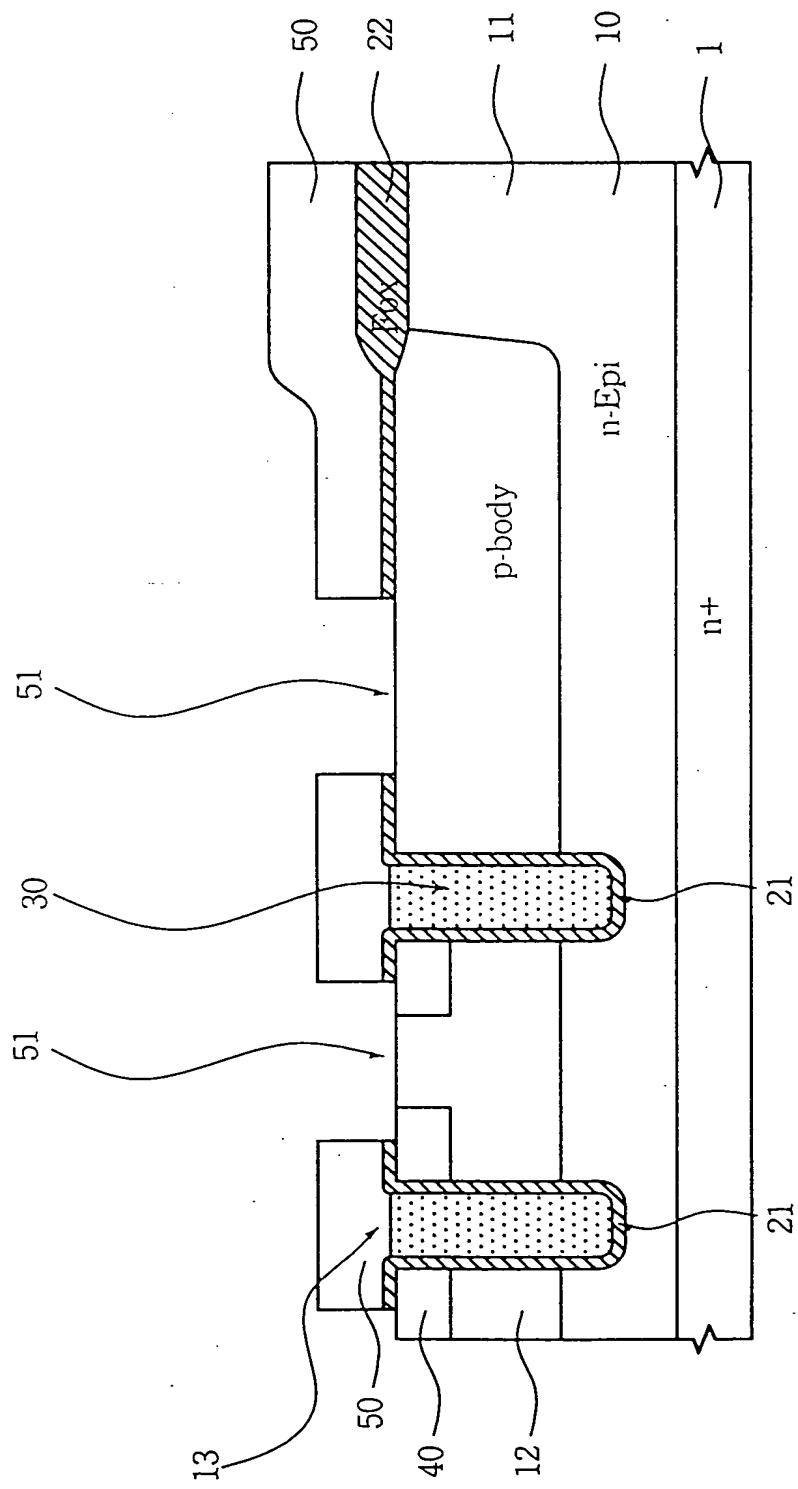
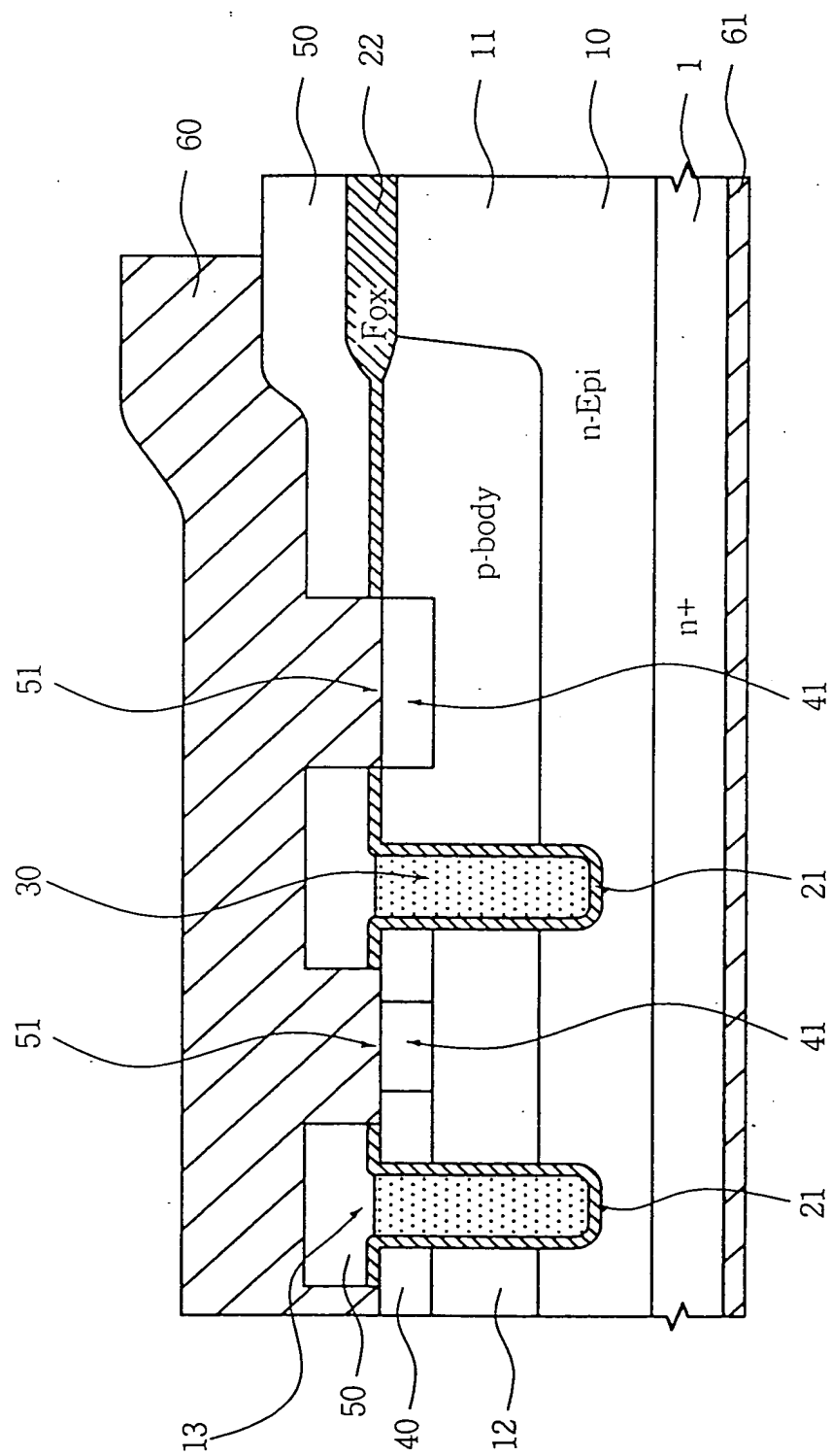
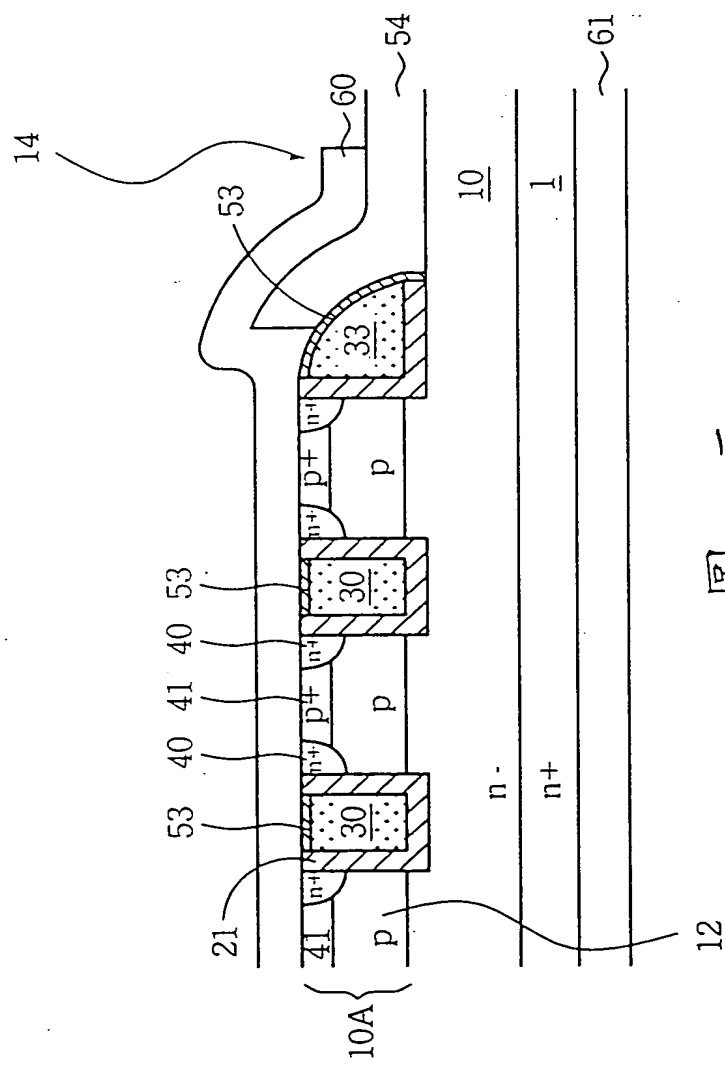


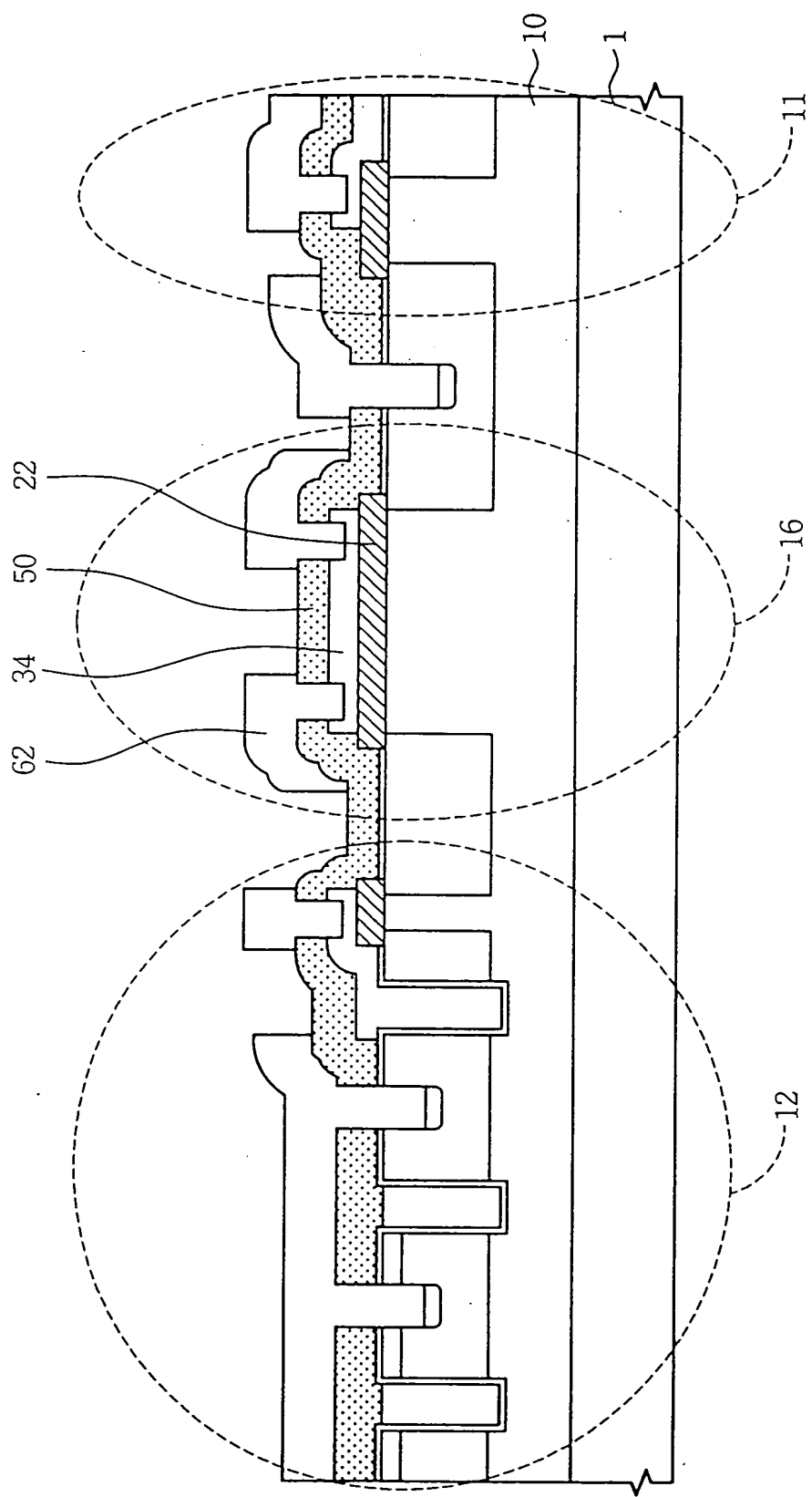
圖 一 E




 一

11



圖三

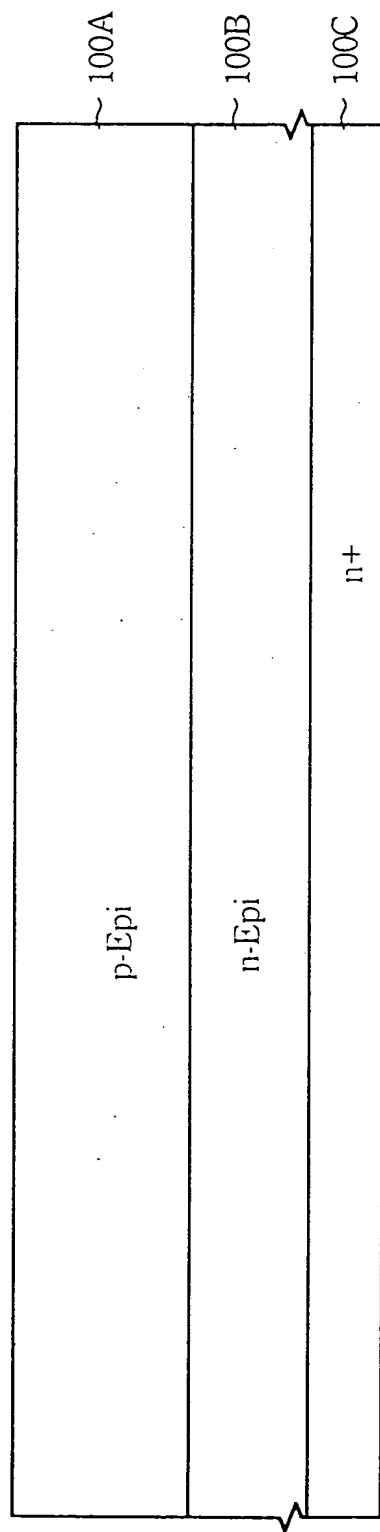


圖 4 A

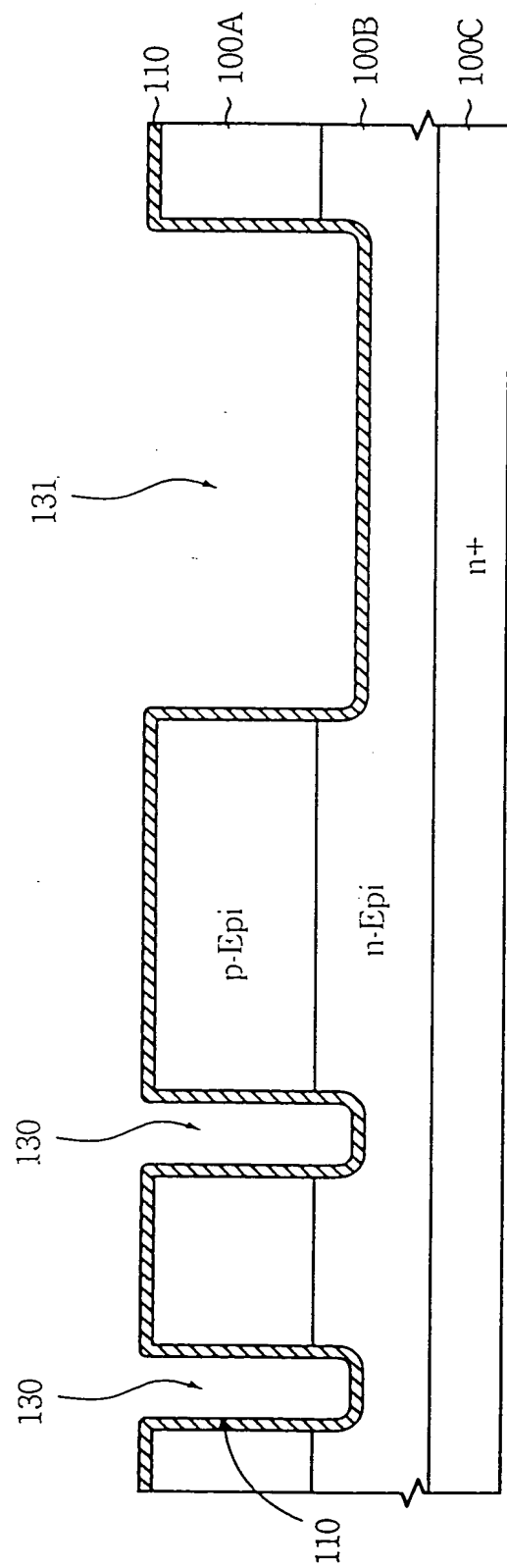


圖 四 B

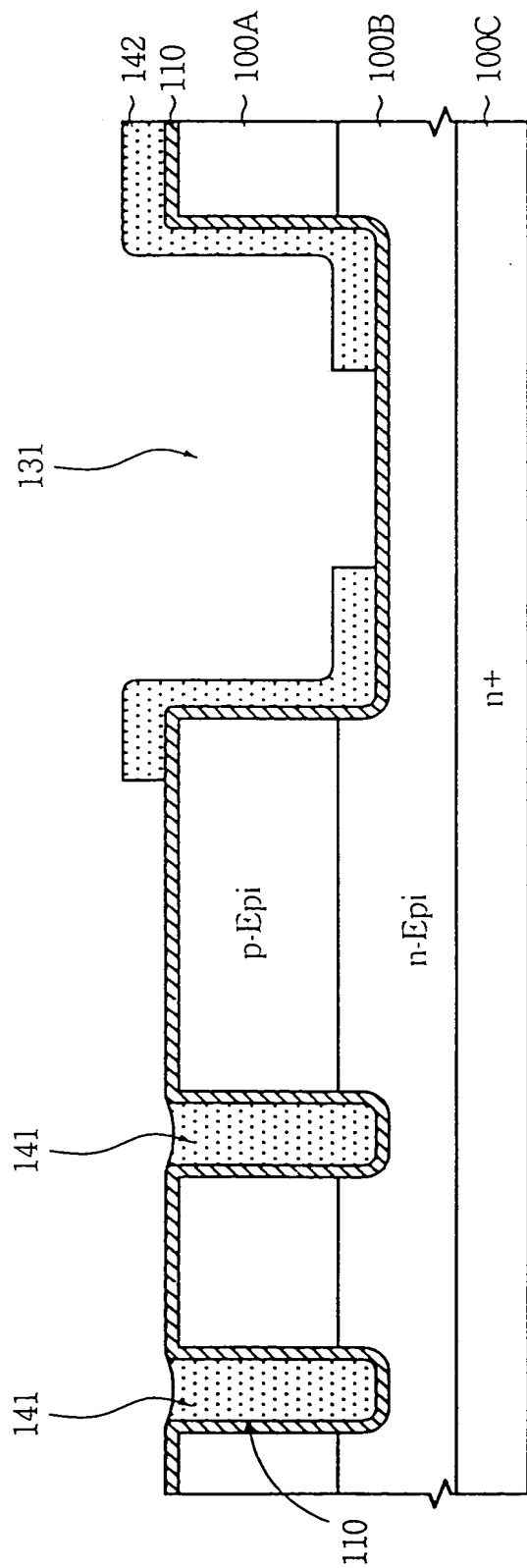


圖 四 C

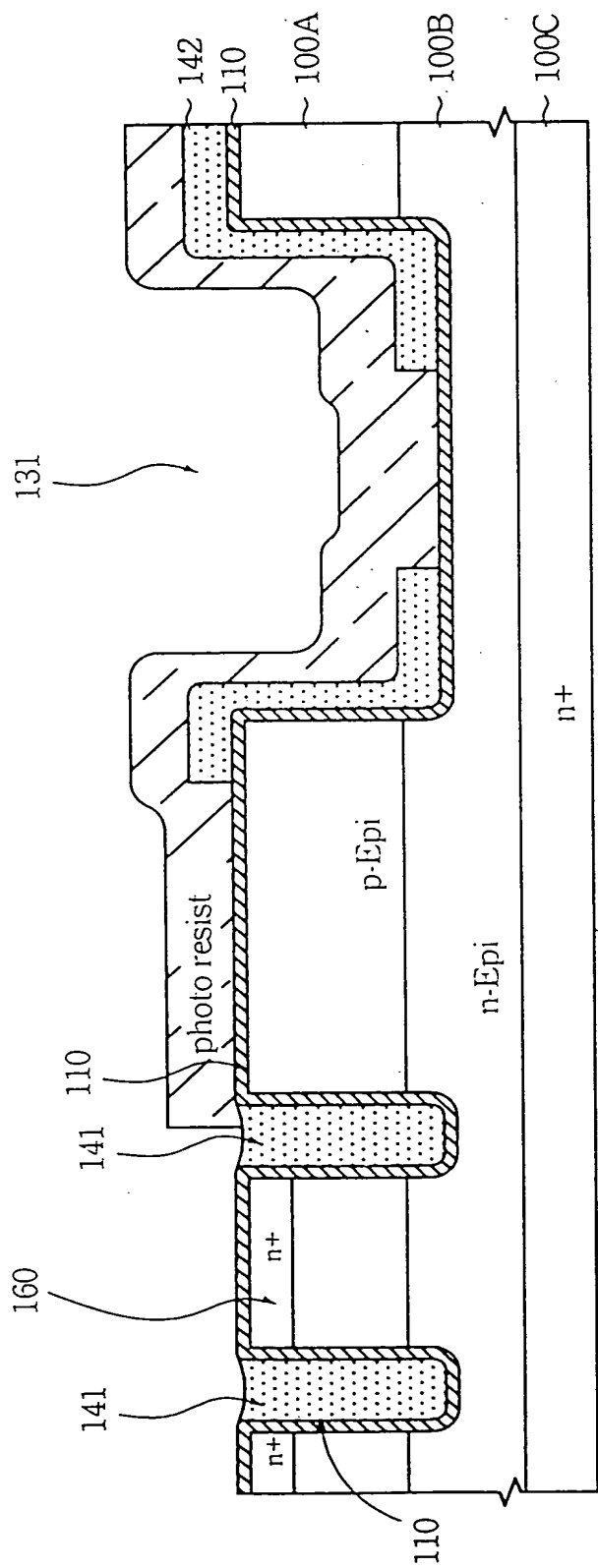


圖 四 D

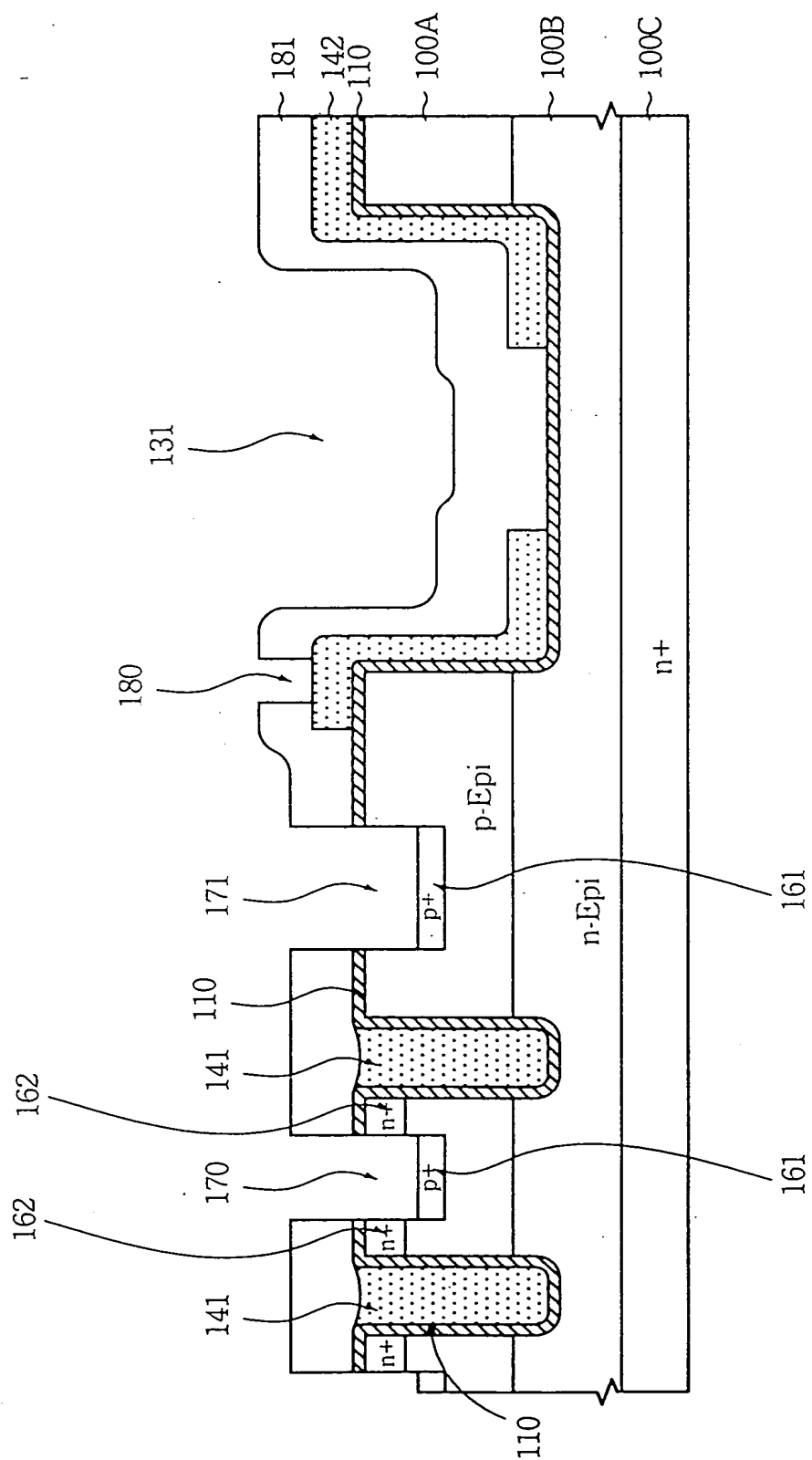


圖 四 E

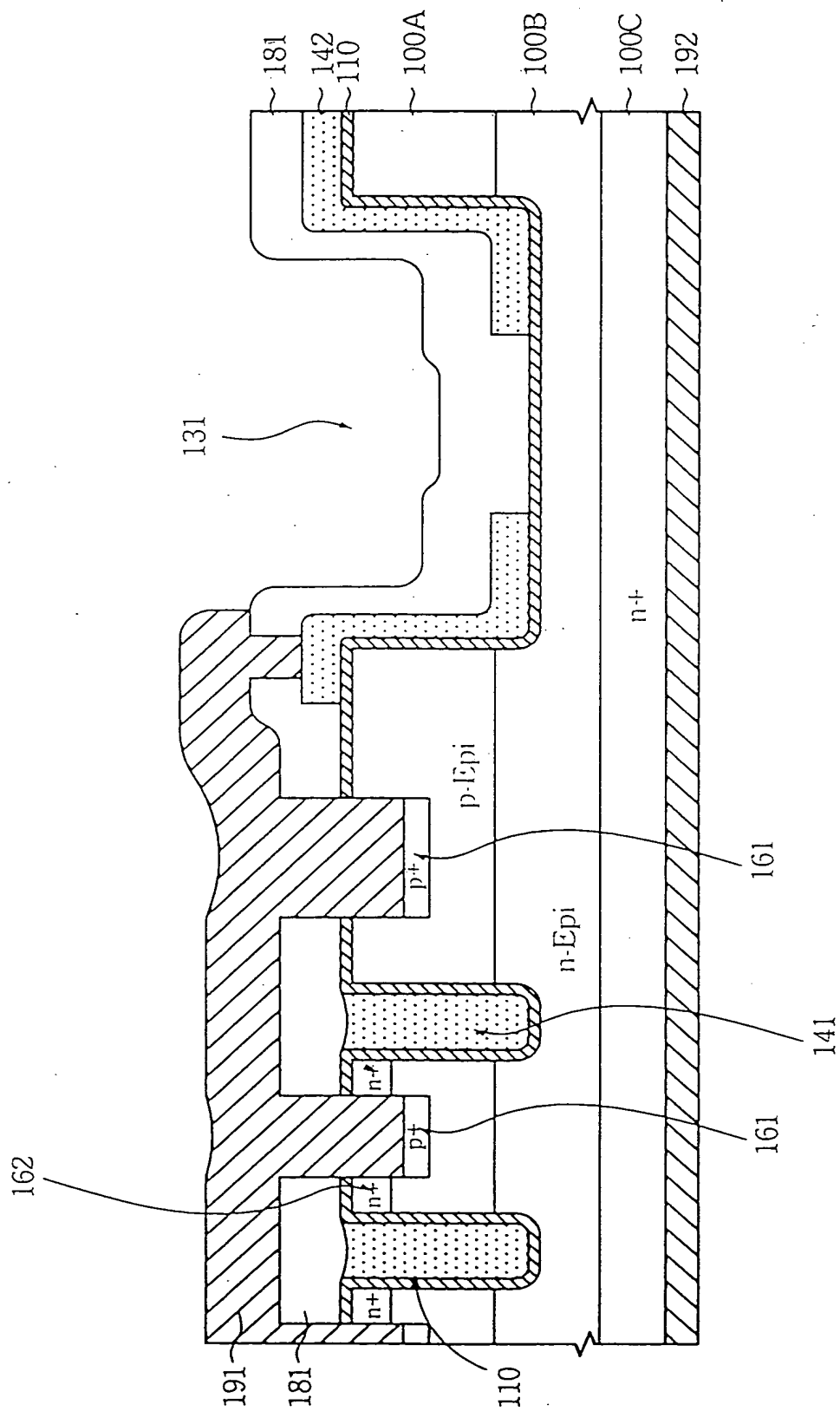


圖 四 F

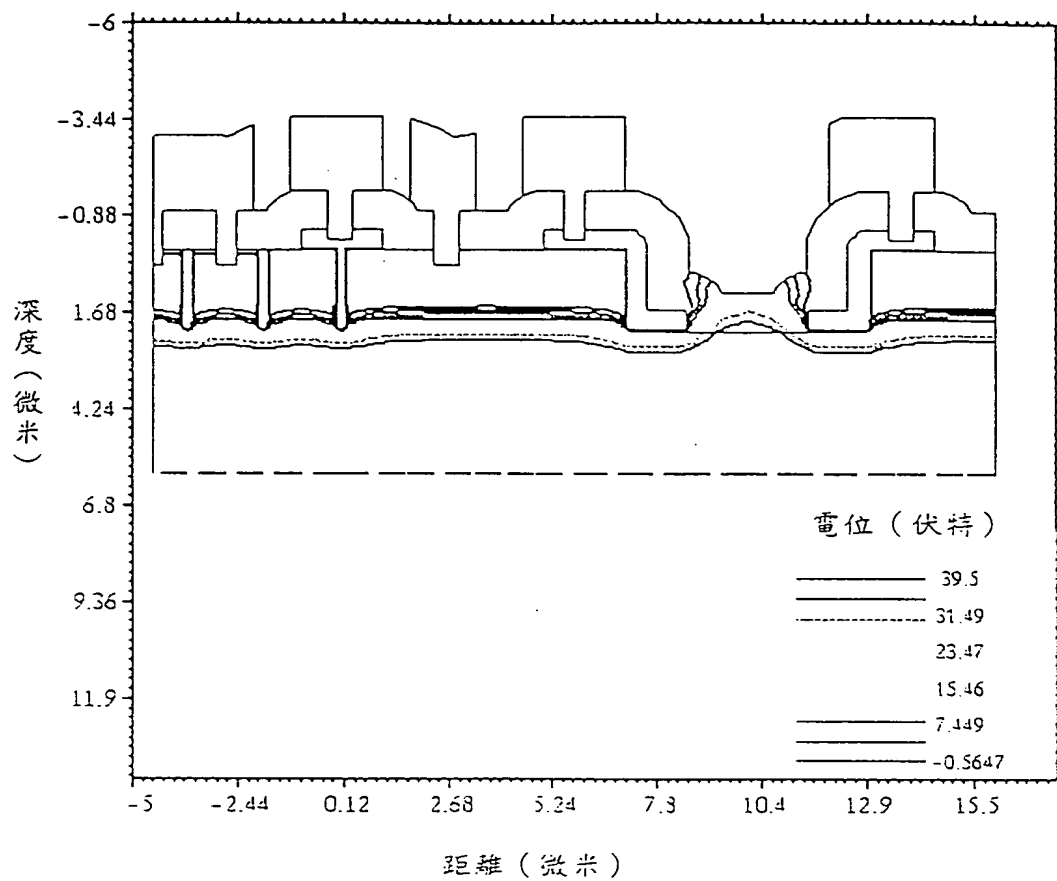


圖 五

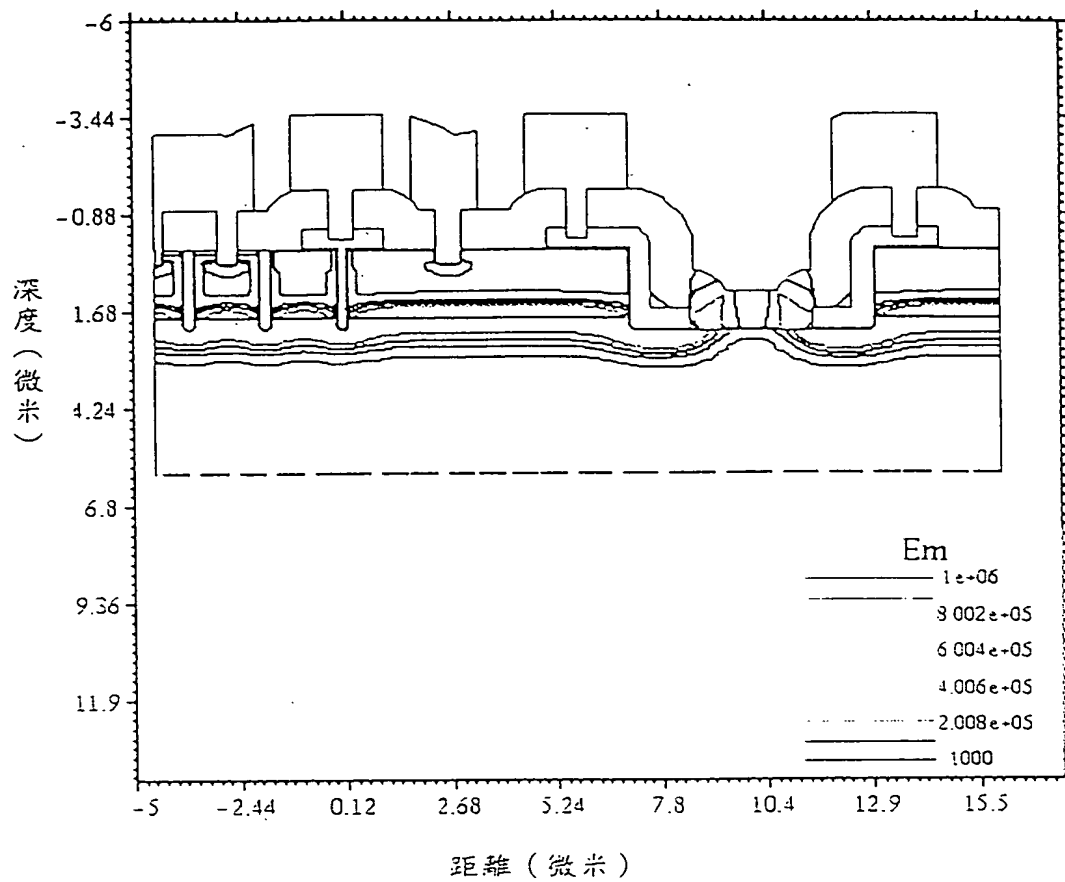


圖 六

